

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



実用新案登録願

適

昭和56年1月9日

適

特許庁長官 島田春樹 殿

1. 考案の名称 フリガナ 複合表示式電子時計の時刻修正装置

2. 考案者

フリガナ 住所 東京都日野市日野3-4-7番地
フリガナ 氏名 オリエント時計株式会社 日野工場内
佐藤 博

3. 実用新案登録出願人

フリガナ 住所 東京都千代田区外神田2丁目4番4号

フリガナ 氏名(名称) オリエント時計株式会社
代表者 西川忠一郎

(国籍)

4. 代理人 〒112 電03(815)6100

住所 東京都文京区小石川2丁目1番2号
11山京ビル

氏名 (8256) 弁理士 西川 慶治



5. 添付書類の目録

✓(1) 明細書 1通
(3) 願書副本 1通

特許ト

56. 1. 10

出願第二條
佐藤ト

(2) 図面 1通
(4) 委任状 1通

1042

114995

方式
審査



56 001525

明 細 書

1 考案の名称

複合表示式電子時計の時刻修正装置

2 実用新案登録請求の範囲

発振回路と、該発振回路の発振周波数を分周する分周回路と、該分周回路の出力信号によって駆動されるアナログ表示系の表示駆動部及びデジタル表示系の表示駆動部を備えた複合表示式電子時計において、外部操作によって上記分周回路から上記両駆動部への信号経路を接断するゲート回路と、該ゲート回路が上記両駆動部への信号経路を断つたときに作動し、外部操作によって上記デジタル表示系の表示部を修正するデジタル修正回路と、少なくとも該修正回路の修正内容を計数する計数回路と、上記ゲート回路が上記両駆動部への信号経路を閉じた状態で作動し、上記分周回路から早送り信号を選択して上記アナログ表示系の駆動部へ伝える切換え回路と、上記早送り信号を計数し、この計数内容が上記修正内容と一致したときに、上記切換え回路に正規の計時信号を選択させ

(1)



1043
114995

る回路とを設けた複合表示式電子時計の時刻修正装置。

3. 考案の詳細な説明

本考案は、デジタル表示とアナログ表示の時刻修正処理が容易な電子時計に関する。

従来、このようなデジタル表示系とアナログ表示系とを有する複合表示電子時計においては、アラーム時刻の設定やローカル時刻表示への変更はデジタル表示系の修正操作だけで済むが、アナログ表示系とデジタル表示系の表示時刻を一致させて現在時刻を表示させるための基本時刻の修正操作については非常に繁雑であった。すなわち、いずれか一方の表示系を現在の時刻に合せた後、他方の表示系をも同様の操作で前記表示系の表示時刻に合せなければならぬので数分の修正や時差による基本時刻の修正操作が非常に面倒であった。しかも、このように2つの表示系を独立に修正するために、同じような修正機構が2系統も必要となり、電子時計自体の構造を複雑化させていた。

このような問題を解決するため、アナログ表示

系の表示を、一旦、予じめ定められた基本時刻（例えば12時00分）にしておき、次にデジタル表示系の表示を合わせたい時刻、例えば現在の時刻に修正し、リユーズを操作することによりデジタル表示系のカウンタの内容とアナログ表示系の基本時刻との差を検出し、両表示系の表示が一致するまでアナログ表示系に早送りパルスを入力して自動的に両表示系を一致させるような電子時計が提案されている（例えば、特開昭53-48774号公報）。しかし、このような電子時計においても、修正の度ごとにアナログ表示系の指針を基本時刻にまで早送りするための機構と選針操作が必要であるという問題があった。

本考案の目的は、このような問題を解決するために、アナログ表示部とデジタル表示部との表示を簡単なボタン操作によって一致させた後は、デジタル表示系を所望時刻の表示に修正して通常動作に戻すだけで、デジタル表示部の修正した量に対応した早送り正転パルスもしくは、早送り逆転パルスを実アナログ表示後に出力させてアナログ表

示部を自動的にデジタル表示部の表示と一致させるようにした、時刻修正の簡単なデジタル、アナログ複合表示電子時計を提供することにより、以下に図示した実施例に基づいて本考案の詳細を説明する。

第1図は、本考案の実施例をなすアナログ、デジタル複合表示電子時計の回路構成を示すブロック図であり、図において、1は水晶振動子などによって基準信号を作り出す発振器で、この発振器1からの発振出力は、分周器2で所定の周波数過降を受けた後、例えば1Hzの計時パルス Φ となってゲート回路3、駆動回路4、モータ5、輪列6を経てアナログ表示部7の指針を駆動する。

他方、上記分周器2からの出力は、ゲート回路8、複合器10、表示駆動回路11を経てデジタル表示部12のデジタル表示素子を駆動する。これらは、周知のアナログ、デジタル両表示電子時計における構成および動作と変わりがないので、詳しい説明は省略する。

次に、本考案の要部をなす時刻修正部の構成を

(4)

説明する。第 1 図において、13 はリ्यूズ 26 (第 3 図) 等によって操作される第 1 スイッチで、例えばリ्यूズ 26 を引き出したときに ON 状態となり、押込んだときに OFF 状態となる。この第 1 スイッチ 13 からの出力信号は、図中の経路を経て前述したゲート回路 3, 8, 14 および後述するデジタル修正回路 20 に入力し、第 1 スイッチ 13 が ON のときに、アナログ表示系及びデジタル表示系に接続するゲート回路 3, 8 を開き、後述する計数器 15 に接続するゲート回路 14 を閉じ、また同時にデジタル修正回路 20 を作動状態にする。したがって、この第 1 スイッチ 13 が ON 状態となると、アナログ表示系およびデジタル表示系に転送されるべき計時パルス a は遮断され、他方、第 1 スイッチ 13 の ON 状態で開状態となるゲート回路 14 を介して、この遮断の間の計時パルス a が計数器 15 で計数される。この計数器 15 の内容は、零検出回路 16 を介してゲート回路 8 の他方の入力端子に入力しており、この回路 8 が閉じたとき、この計数内容は後述する計数器

(5)

10に☐入力するよう構成されている。

図中符号17は、内部スイッチや第3図に示したような隠しボタン27によって操作される第2スイッチで、工場出荷時や電池交換時にアナログ表示部7とデジタル表示部12との合せ込み操作を行なう場合に操作され、これがONの状態のときには、ゲート回路18およびゲート回路19が閉状態となる。

20はデジタル修正回路であって、ここから出力する修正パルスは、第1スイッチ13がONにされたときの表示状態を基準として、その修正量が計数器24でカウントされる。21は正逆転判定回路であって、分周器2の適当な段から取出された早送り正転パルスbもしくは早送り逆転パルスcのいずれか一方を、その修正量に応じて(例えば修正量が6時間未満ならば正転早送りパルスを使用するように設定されている)選択してゲート回路3に入力し、駆動回路4を介してアナログ表示部7の指針を早送りするものである。なお、駆動回路4からの出力は計数器22で計数され、

一致検出回路 2 3 で計数器 2 4 の計数内容と比較された上、一致したことが検出されるとゲート回路 3 を閉状態として、正逆転判定回路 2 1 からの早送りパルス b, c がアナログ表示用の駆動回路に入力するのを阻止する。

2 5 はリセットパルス発生回路であって、合せ込み時に第 2 スイッチ 1 7 が ON 状態とされたときに、ゲート回路 1 8 を介してデジタル表示部 1 2 の駆動回路 1 1 にリセットパルスを送り、デジタル表示部の表示を「00:00 00」とするための回路である。

次に、このように構成されたアナログ、デジタル複合表示電子時計の作動および修正操作について、第 2 図に示された時間合せの手順を参照しながら説明する。

(1) アナログ、デジタル両表示の合わせ込み

第 2 スイッチ 1 7 を操作して、これを ON 状態にすると、ゲート回路 1 8 が閉状態となってリセットパルス発生回路 2 5 からのリセットパルスがデジタル表示系の駆動回路 1 1 に入力し、デジタ

(7)

ル表示部 12 の表示が「00:0000」にリセットされる。この状態は第2スイッチ 17 がOFF状態にされるまで継続する。

他方、この第2スイッチ 17 がON状態となったことにより、ゲート回路 19 も閉状態となり、分周器 2 からの早送り正転パルス b がアナログ表示系の駆動回路 4 に入力され、アナログ表示部 7 の指針が早送りされる。ついで、アナログ表示部の表示が「12時00分」となったところで第2スイッチ 17 をOFFの状態に戻すと、アナログ表示系およびデジタル表示系はともに同一の表示内容となって通常の計時動作に入る。

(8) 時刻の修正操作

上述した操作を終えた後、あるいは通常に使用されている過程で両表示を現在時刻に合わせるには、まず、リューズを引出して第1スイッチ 12 をONの状態にする。これにより、ゲート回路 3 およびゲート回路 8 は開状態となり、分周器 2 からの計時パルス a は、アナログ表示系およびデジタル表示系に入力しなくなるとして時計は停止状態と

なる。他方、この第1スイッチ13がON状態となった時点でゲート回路14は閉状態となるから、この停止期間中に出力された計時パルスaは計数器15によって計数され続け、このような状態にしておいて、デジタル修正回路20を操作してデジタル表示部11の表示を現在の時刻に合わせる。

ついで、リユーズ26を押込んで第1スイッチ13をOFF状態にすると、分周器2からの計時パルスaは、ゲート回路8を介してデジタル表示の駆動回路11に入力し、デジタル表示部は正確な時刻を表示し始める。

他方、第1スイッチがOFF状態となったことによりゲート回路8は閉となり、計数器15で計数されてきた修正操作に要した時間に対応するパルスがゲート回路8を介して計数器24に入力し、ここでデジタル修正装置20から入力された修正パルスの数に加算される。次いで、正逆転判定回路21は、この計数器24の計数内容と指針位置から、早送り正転パルスbもしくは、早送り逆転パルスcのいずれか一方を選択し、これをゲート

回路 3 を介して駆動回路 4 に入力し、これにより、アナログ表示部 7 の指針を早送りする。同時に、この早送りパルス b もしくは c は、計数器 22 で計数された上、一致検出回路 23 により計数器 24 の計数内容と比較され、これら、両計数器 22、24 の内容が一致すると、一致検出回路 23 からの信号がゲート回路 3 に出力して、正逆転判定回路 21 からの早送りパルスを阻止し、計時パルス a のみを駆動回路に入力させるようにする。なお、この動作の終了とともに 3 つの計数器 15、22、24 の内容は零にリセットされる。

これらの一連の動作により、アナログ表示部 7 とデジタル表示部 12 との表示内容は、現在の時刻と一致し、以後は、通常の計時パルス a によって両表示部の時刻表示が継続される。

なお、以上は本考案の一実施例についての説明で、本考案がこれに限定されるものでないことは云うまでもなく、例えば、十分に高い周波数の早送りパルスが利用できる場合には、正逆判定回路を省略し、正転早送りパルスだけでアナログ表示

部の修正を行わせるようにして回路構成を簡素化することも可能であり、また、修正操作が比較的短時間に行われることを考慮して、修正期間中のパルス計数回路を省略することにより、時計装置のコスト低減を図ることも可能である。

以上述べたように本考案によれば、デジタル表示系の時刻修正を行った後、リユーズ等の外部操作部材を通常の運針位置に戻すだけの操作によって、アナログ表示系の表示を修正されたデジタル表示系の表示と一致させることができるから、この種の複合表示式電子時計の時刻修正操作を著しく簡素化することが可能となる。

4. 図面の簡単な説明

第1図は、本考案の一実施例を示すアナログ、デジタル複合表示式電子時計のブロック図、第2図は、同上装置の操作手順を示す図、第3図は、同上装置の外観を示す図である。

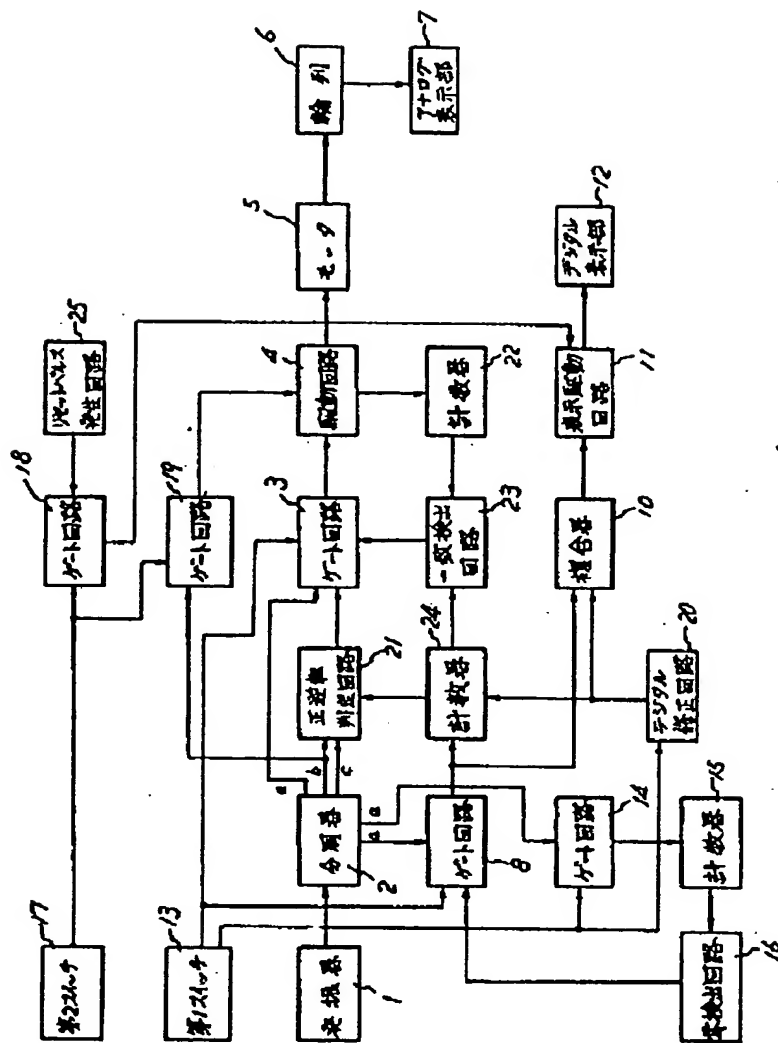
26…リユーズ、27…隠しボタン。



出願人 オリエント時計株式会社

代理人 弁理士 西 川 慶 治

第1図

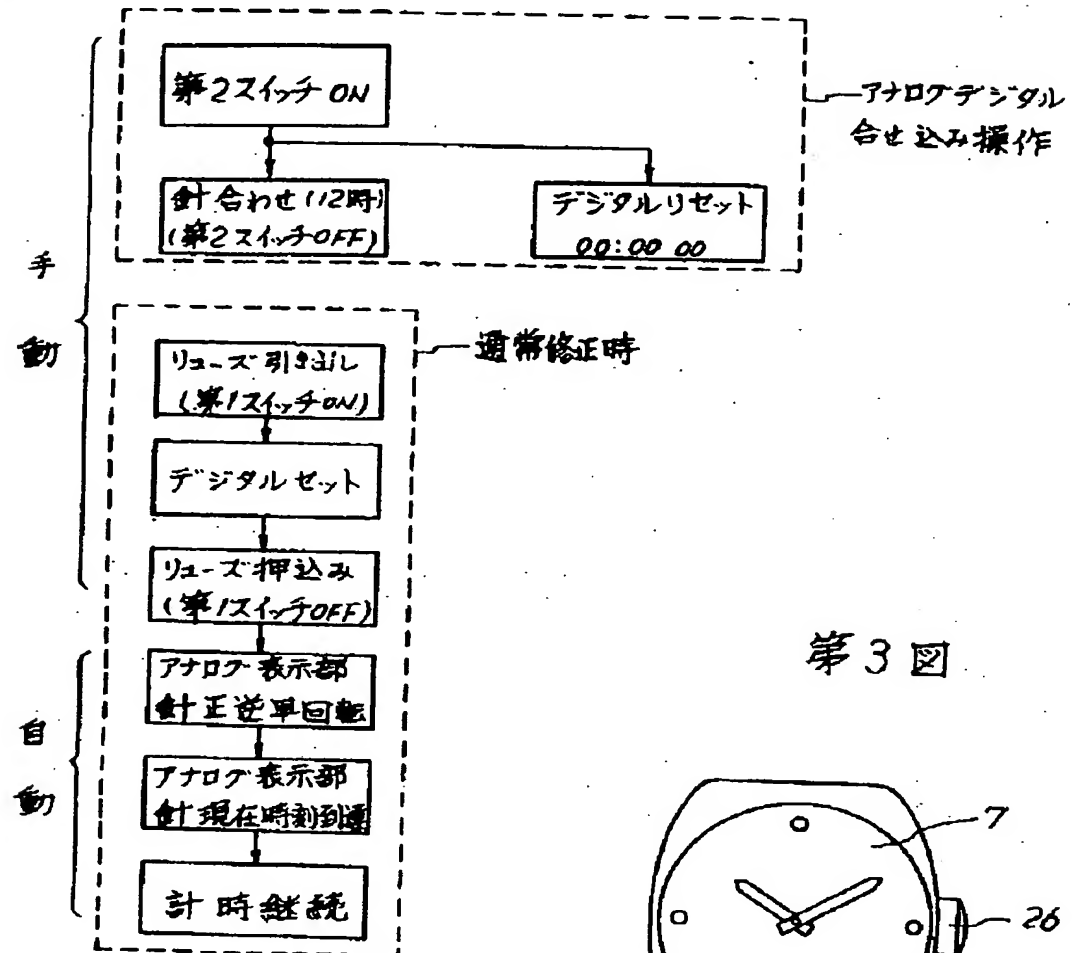


114995 1/2

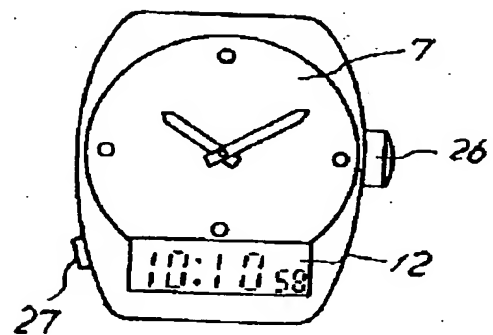
105:1

出 願 人	オリエンタル計器株式会社
代理人	和野上 河川 慶治

第2図



第3図



114995 $\frac{2}{2}$

1055

出 願 人	オリエン時計株式会社
代理人弁理士	西 川 慶 治